

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-061618

(43)Date of publication of application : 01.03.1990

(51)Int.Cl.

G02F 1/1343

G02F 1/136

G09F 9/30

(21)Application number : 63-212461

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.08.1988

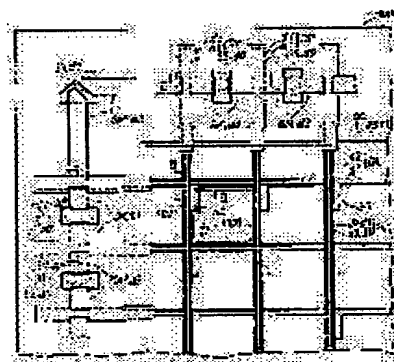
(72)Inventor : TANIGUCHI HIDEAKI
SHIROHASHI KAZUO
ORITSUKI RYOJI

(54) FORMATION OF LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent an electrostatic breakdown during a process where plural external terminals are formed and to inspect electric characteristics by electrically connecting between the external terminals by a semiconductor layer in or after the same manufacturing process as the forming process.

CONSTITUTION: When the liquid crystal display device where the external terminals GP and DP applied with a scanning signal and a video signal are arrayed on the surface of a transparent glass substrate SUB1 at the periphery of its liquid crystal display part is formed, the external terminals GP and DP are connected electrically by the semiconductor layer do in or after the same manufacturing process as the process wherein the plural external terminals GP and DP are formed. Namely, the resistance value is reduced during the formation of the device by being irradiated with light to short-circuit the external terminals GP and DP. Further, while the characteristic inspection is carried out, the resistance value of the semiconductor layer do is increased without being irradiated with the light to separate the external terminals GP and DP apparently and electrically. Consequently, the electrostatic breakdown in the forming process of the device can be prevented and the electric characteristics can be inspected.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-61618

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月1日

G 02 F 1/1343
1/136
G 09 F 9/30

5 0 0
3 4 7

7370-2H
7370-2H
8838-5C

審査請求 未請求 請求項の数 4 (全7頁)

⑭ 発明の名称 液晶表示装置の形成方法

⑰ 特 願 昭63-212461

⑱ 出 願 昭63(1988)8月29日

⑲ 発 明 者 谷 口 秀 明 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内
⑲ 発 明 者 白 橋 和 雄 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内
⑲ 発 明 者 折 付 良 二 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

液晶表示装置の形成方法

2. 特許請求の範囲

1. 透明ガラス基板の液晶表示部の外周囲の表面に走査信号、映像信号の夫々が印加される複数の外部端子が配列された液晶表示装置の形成方法において、前記複数の外部端子を形成する工程と同一製造工程で又はその工程の後に、前記外部端子間を半導体層で電気的に接続したことを特徴とする液晶表示装置の形成方法。

2. 前記各外部端子間は、前記半導体層及びそれに直列に接続された前記外部端子とエッチング選択性を有する金属層とで接続されていることを特徴とする特許請求の範囲第1項に記載の液晶表示装置の形成方法。

3. 前記各外部端子間を接続する半導体層は、液晶表示部の薄膜トランジスタで使用される半導体層と同一製造工程で形成されていることを特徴とする特許請求の範囲第1項又は第2項に記

載の液晶表示装置の形成方法。

4. 前記各外部端子間を接続する半導体層及び金属層は、前記各外部端子が形成される領域内において配置されていることを特徴とする特許請求の範囲第2項に記載の液晶表示装置の形成方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、液晶表示装置、特に、アクティブ・マトリックス方式で構成される液晶表示装置に適用して有効な技術に関するものである。

〔従来の技術〕

アクティブ・マトリックス方式の液晶表示装置の液晶表示部にはマトリックス状に複数の画素を配置している。各画素は水平方向に延在する複数の走査信号線(ゲート信号線)とそれと交差する垂直方向に延在する複数の映像信号線(ドレイン信号線)とで周囲を囲まれた領域内に配置されている。前記走査信号線の一端部には走査信号が印加される外部端子が、映像信号線の一端部には映像

信号が印加される外部端子が夫々接続されている。各外部端子は液晶表示部の外周に配列されている。前記各画素は薄膜トランジスタ(TFT)と透明画素電極との直列回路で構成されている。

特開昭61-59475号公報に記載されるように、液晶表示装置の形成工程中においては、前記外部端子は隣接する他の外部端子と一体に構成され短絡されている。具体的には、走査信号用の外部端子、映像信号用の外部端子、共通信号用の外部端子の夫々を共通に短絡している。このように構成される液晶表示装置は、形成工程中に誘発される静電気が外部端子に印加された場合でも、各信号配線間(走査信号線と映像信号線との間等)の電位が等しくなるので、静電気破壊を防止することができる特徴がある。前記静電気が発生する処理工程としては、プラズマCVD法による絶縁膜の堆積工程、ラビング処理工程、搬送工程等がある。

〔発明が解決しようとする課題〕

しかしながら、前述の液晶表示装置は、形成工

程中において、各外部端子間が短絡されているので、走査信号線間、映像信号線間或は走査信号線と映像信号線との間の短絡状態、薄膜トランジスタの特性等、電気的特性検査を行うことができないという問題点があった。

また、前記各外部端子間の短絡は外部端子が配置された領域と別のさらに外部端子よりも外周の領域に形成された金属層で行っているため、各外部端子間の短絡に要する面積が大きく液晶表示部(有効画像形成領域)の面積が低下するという問題点があった。

本発明の目的は、液晶表示装置において、形成工程中の静電気破壊を防止すると共に、形成工程中に電気的特性検査を行うことが可能な技術を提供することにある。

本発明の他の目的は、前記液晶表示装置において、前記目的を達成するための形成工程数を低減することが可能な技術を提供することにある。

本発明の他の目的は、前記液晶表示装置において、液晶表示部(有効画像形成領域)の面積を向

上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 液晶表示装置の形成方法において、複数の外部端子を形成する工程と同一製造工程で又はその工程の後に、前記外部端子間を半導体層で電気的に接続する。

(2) 前記各外部端子間は前記半導体層及びそれに直列に接続された前記外部端子とエッチング選択性を有する金属層とで接続する。

(3) 前記各外部端子間を接続する半導体層は液晶表示部の薄膜トランジスタで使用される半導体層と同一製造工程で形成する。また、前記金属層は信号配線と同一製造工程で形成する。

(4) 前記各外部端子間を接続する半導体層及び

金属層は前記外部端子が形成される領域内において配置する。

〔作 用〕

上述した手段(1)によれば、液晶表示装置の形成中に、光を照射して前記半導体層の抵抗値を低減し、各外部端子間を短絡することができるので、静電気破壊を防止することができると共に、液晶表示装置の電気的特性検査中に、光を照射しないで半導体層の抵抗値を増大し、各外部端子間を見かけ上電気的に分離することができるので、前記電気的特性を検査することができる。

前記手段(2)によれば、前記各外部端子間を接続する金属層を選択的にエッチングすることができるので、各外部端子間の短絡の解除を簡単に行うことができる。

前記手段(3)によれば、前記各外部端子間を短絡するための半導体層を形成する工程に相当する分、形成工程数を低減することができる。また、前記金属層を形成する工程に相当する分、形成工程数を低減することができる。

前記手段(4)によれば、前記各外部端子間を短絡するための面積に相当する分、液晶表示部の面積を縮小することができる。

以下、本発明の構成について、アクティブ・マトリックス方式を採用する液晶表示装置に本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

(実施例)

本発明の一実施例である液晶表示装置の液晶表示部及び外部端子領域を第1図(要部平面図)で示す。そして、第1図のⅠ-Ⅰ切斷線、Ⅱ-Ⅱ切斷線及びⅢ-Ⅲ切斷線で切った断面を第2図で示す。

第1図及び第2図に示すように、液晶表示装置は、1.1[mm]程度の厚さを有する下部透明ガラス基板SUB1の内側(液晶側)の表面上に薄膜トランジスタTFTを有している。薄膜トランジスタTFTは、主に、ゲート電極GT、ゲート絶縁膜として使用される絶縁膜GI、チャネル形成領

域として使用されるi型半導体層AS、ソース電極(又はドレイン電極)SD1、ドレイン電極(又はソース電極)SD2で構成されている。

前記ゲート電極GTは、例えばスパッタ法で堆積したCr膜g1を用い、約1000[Å]程度の膜厚で形成されている。ゲート電極GTは、走査信号線(ゲート信号線又は水平信号線)GLと同一製造工程(同一導電層)で形成され、走査信号線GLに一体化されている。走査信号線GLは前記Cr膜g1上にITO膜g2を積層した複合膜で形成されている。ITO膜g2は、スパッタ法で堆積し、約1000[Å]程度の膜厚で形成する。このITO膜g2は、主に走査信号線GLの抵抗値を低減し、走査信号の伝達速度を速くするように構成されている。前記ゲート電極GTは走査信号線GLのうちの下層のCr膜g1と一体に構成されている。走査信号線GLは、第1図に示すように水平方向に延在しており、垂直方向に複数本配置されている。

前記走査信号線GLの少なくとも一端部は液晶

表示装置の液晶表示部の外周部分において外部端子GPに接続されている。この外部端子GPには走査信号が印加されるように構成されている。外部端子GPは第1図において下部透明ガラス基板SUB1の表面を垂直方向に複数配列されている。外部端子GPは走査信号線GLと一体に構成されている。すなわち、外部端子GPはCr膜g1上にITO膜g2を積層した複合膜で構成されている。ITO膜g2は、Cr膜g1よりも大きなサイズで形成され、Cr膜g1を被覆するように構成されている。

前記絶縁膜GIは、前記外部端子GPを除き、ゲート電極GT及び走査信号線GLの上層に形成されている。絶縁膜GIは、例えばプラズマCVD法で堆積させた窒化珪素膜を用い、約3000[Å]程度の膜厚で形成されている。

i型半導体層ASはゲート絶縁膜GIの上層に島形状で構成されている。i型半導体層ASは、CVD法で堆積させた非晶質珪素膜又は多結晶珪素膜で形成し、約2500[Å]程度の膜厚で形成

されている。i型半導体層ASは主に薄膜トランジスタTFTのチャネル形成領域として使用されている。

ソース電極SD1、ドレイン電極SD2の夫々はi型半導体層AS上に夫々離隔して設けられている。ソース電極SD1とドレイン電極SD2とは回路のバイアス極性の変ると動作上ソースとドレインが入れ替わる。つまり、薄膜トランジスタTFTは絶縁ゲート型電界効果トランジスタFETと同様に双方向性で構成されている。

ソース電極SD1、ドレイン電極SD2の夫々は、同一製造工程で形成されており、例えばi型半導体層ASに接触する下層側から、n型半導体層d0、Cr膜d1、ITO膜d2、Al膜d3を順次積層した複合膜で構成されている。n型半導体層d0は、非晶質珪素膜又は多結晶珪素膜で形成され、約500[Å]程度の膜厚で形成されている。n型半導体層はi型半導体層ASとCr膜d1との接触抵抗値を低減するように構成されている。前記Cr膜d1は、例えばスパッタ法で堆

積し、約600[Å]程度の膜厚で形成する。前記ITO膜d2は、例えばスパッタ法で堆積し、約1200[Å]程度の膜厚で形成する。このITO膜d2は主に透明電極ITO1を形成するようになっている。前記Aa膜d3は、例えばスパッタ法で堆積し、約3500[Å]程度の膜厚で形成する。Aa膜d3は、主に映像信号線DLの低抵抗値を低減し、映像信号の伝達速度を速くするように構成されている。

前記映像信号線DLは、ソース電極SD1及びドレイン電極SD2と同様に、 π 型半導体層d0、Cr膜d1、ITO膜d2、Aa膜d3の夫々を順次積層した複合膜で形成されている。映像信号線DLは、第1図に示すように走査信号線GLと交差する垂直方向に延在し、水平方向に複数配置されている。

前記ソース電極SD1には、画素毎に設けられた透明電極(透明画素電極)ITO1が接続されている。透明電極ITO1は液晶表示部の画素電極の一方を構成する。透明電極ITO1は絶縁膜G

保護膜PSV1は、例えばプラズマCVD法で堆積した酸化珪素膜や窒化珪素膜で形成され、約10000[Å]程度の膜厚で形成されている。

薄膜トランジスタTFT上の保護膜PSV1の上部には、外部光がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮光膜LSが設けられている。遮光膜LSは、光に対する遮光性が高くしかも導電性を有するように例えばAa膜(或はAa-Si、Aa-Cu)、Cr膜等で形成されており、スパッタ法で堆積し1000~4000[Å]程度の膜厚で形成されている。

液晶LCは、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2との間に形成された空間内に、液晶分子の向きを設定する下部配向膜ORI1及び上部配向膜ORI2に規定され、封入されている。

下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1 上部に形成される。

上部透明ガラス基板SUB2の内側(液晶側)の

I上に設けられており、前記ITO膜d2で形成されている。ドレイン電極SD2は、映像信号線DLと一体に構成されている。

前記映像信号線DLの少なくとも一端部は液晶表示装置の液晶表示部の外周部分において外部端子DPに接続されている。この外部端子DPには映像信号が印加されるように構成されている。外部端子DPは第1図において下部透明ガラス基板SUB1の表面を水平方向に複数配列されている。外部端子DPは映像信号線DLと一体に構成されている。すなわち、外部端子DPはCr膜d1上にITO膜d2を積層した複合膜で構成されている。ITO膜d2はCr膜d1よりも大きなサイズで形成され、Cr膜d1を被覆するように構成されている。

前記薄膜トランジスタTFT及び透明電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は、主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保

表面には、カラーフィルタFIL、保護膜PSV2、共通透明電極(共通透明画素電極)ITO2及び前記上部配向膜ORI2が順次積層して設けられている。

前記共通透明電極ITO2は、下部透明ガラス基板SUB1側に画素毎に設けられた透明電極ITO1に対向し、隣接する他の共通透明電極ITO2と一体に構成されている。

カラーフィルタFILは、アクリル樹脂等の樹脂材料で形成される染色基材を各画素毎に染料で染め分けることにより形成されている。染料の染め分けは、フォトリソグラフィ技術を用いて行っている。

保護膜PSV2は、前記カラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2は、例えば、アクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側の夫々の

層を別々に形成し、その後、上下透明ガラス基板SUB1及びSUB2を重ね合せ、両者間に液晶LCを封入することによって組み立てられる。

下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の夫々の外側の表面には偏光板POLが形成されている。

このように構成される液晶表示装置は、形成工程中（製造工程中又は組立工程中）において、走査信号線GL及び外部端子GPを形成した後、映像信号線DL及び外部端子DPを形成する工程と同一製造工程で各外部端子GP、DP、図示していない共通外部端子（ITO2に印加される共通信号用外部端子）の夫々を短絡している。各外部端子（総称してP）間はn型半導体層d0で形成された短絡用配線SSを介在させてA膜d3で形成された短絡用配線SMを用いて短絡されている。n型半導体層d0は各A膜d3と直列に接続されている。短絡用配線SM及びSSは外部端子Pが形成される領域内において各外部端子P間に延在させている。

が照射されるとフォトコン作用によって抵抗値が低減され、各外部端子P間を短絡用配線SMと共に短絡させることができる。つまり、液晶表示装置の形成工程中、特に静電気が発生しやすいプラズマCVD法による絶縁膜の堆積工程、ラビング処理工程、搬送工程等においては短絡用配線SMに常時光を照射し、各外部端子P間を短絡することによって、走査信号線GL-映像信号線DL間、ソース電極SD1又はドレイン電極SD2-ゲート電極GT間等の絶縁が静電気で破壊される静電気破壊を防止することができる。一方、前記短絡用配線SSのn型半導体層d0は、光が照射されないと、抵抗値が増大し、各外部端子P間を実質的に絶縁分離することができる。短絡用配線SSは例えば約10[MΩ]程度に抵抗値を増大させることができる。つまり、液晶表示装置の形成工程中や形成工程の終了段に行われる電気的特性検査中に光を照射しないで、各外部端子P間を見かけ上電気的に分離することができるので、短絡用配線SSが存在していても前記電気的特性を検査

前記短絡用配線SSであるn型半導体層d0は、薄膜トランジスタTFTのソース電極SD1、ドレイン電極SD2の夫々の形成するn型半導体層d0と同一製造工程で形成されている。したがって、前述のように短絡用配線SSは、ソース電極SD1、ドレイン電極SD2の夫々を形成する工程の内の一部の工程と同一製造工程で形成されている。前記短絡用配線SMであるA膜d3は、薄膜トランジスタTFTのソース電極SD1、ドレイン電極SD2、映像信号線DLの夫々を形成するA膜d3と同一製造工程で形成されている。したがって、前述のように短絡用配線SMは、ソース電極SD1、ドレイン電極SD2、映像信号線DLの夫々を形成する工程の内の一部の工程と同一製造工程で形成されている。短絡用配線SMであるA膜d3は、例えばリン酸、硝酸及び酢酸の混合液でエッチングすることができ、各外部端子PのCr膜g1、d1、ITO膜g2及びd2に対するエッチングに選択性を有している。

前記短絡用配線SSのn型半導体層d0は、光

することができる。電気的特性検査としては走査信号線GL間、映像信号線DL間あるいは走査信号線GLと映像信号線DLとの間の短絡状態の検査、薄膜トランジスタTFTの電気的特性検査等である。

このように、液晶表示装置の形成方法において、複数の外部端子Pを形成する工程と同一製造工程で、前記外部端子P間を少なくとも短絡用配線SS（n型半導体層d0）で電気的に接続することにより、液晶表示装置の形成中に光を照射して前記短絡用配線SSの抵抗値を低減し、各外部端子P間を短絡することができるので、静電気破壊を防止することができるとともに、液晶表示装置の電気的特性検査中に、光を照射しないで短絡用配線SSの抵抗値を増大し、各外部端子P間を見かけ上電気的に分離することができるので、前記電気的特性を検査することができる。

また、前記各外部端子P間を接続する短絡用配線SS又は及び短絡用配線SMは液晶表示部の薄膜トランジスタTFTで使用されるn型半導体層

d 0又は及びA膜d 3と同一製造工程で形成したので、前記各外部端子P間を短絡するための短絡用配線SS又は及び短絡用配線SMを形成する工程に相当する分、形成工程数を低減することができる。

また、前記各外部端子P間を接続する短絡用配線SS又は及び短絡用配線SMは前記各外部端子Pが形成される領域内において形成したので、前記各外部端子P間を短絡するための面積に相当する分、液晶表示部を面積を縮小することができる。

なお、液晶表示装置の形成工程の最終段においては、前記各外部端子P間の短絡を解除している。この短絡の解除は、短絡用配線SMを選択的に除去することによって行なわれている。このように、前記各外部端子P間は前記短絡用配線SS(n型半導体層d 0)及びそれに直列に接続された前記外部端子Pとエッチング選択性を有する短絡用配線SM(A膜d 3)で短絡することにより、前記各外部端子P間を接続する短絡用配線SMを選択的にエッチングすることができるので、例えば

フォトリソグラフィ技術を使用することなく、各外部端子P間の短絡の解除を簡単に行うことができる。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

例えば、本発明は前記短絡用配線SSをi型半導体層ASと同一製造工程で形成することができる。

また、本発明は前記短絡用配線SMを遮光膜LSと同一製造工程で形成することができる。

また、本発明は前記短絡用配線SSを、外部端子GP及びDPの夫々の形成後に形成してもよい。
(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

液晶表示装置の形成工程中の静電気破壊を防止

することができるとともに、電気的特性検査を行うことができる。

また、前記液晶表示装置の液晶表示部の有効面積を向上することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例である液晶表示装置の液晶表示部及び外部端子領域を示す要部平面図。

第2図は、前記第1図のI-I切断線、II-II切断線及びIII-III切断線で切った断面図である。

図中、SUB…透明ガラス基板、GL…走査信号線、g 1, d 1…Cr膜、g 2, d 2…ITO膜、d 0…n型半導体層、d 3…A膜、DL…映像信号線、GI…絶縁膜、GT…ゲート電極、AS…i型半導体層、SD 1…ソース電極、SD 2…ドレイン電極、PSV…保護膜、LS…遮光膜、LC…液晶、TFT…薄膜トランジスタ、GP, DP…外部端子、SM, SS…短絡用配線である。

代理人 弁理士 小川 勝男

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成8年(1996)11月1日

【公開番号】特開平2-61618

【公開日】平成2年(1990)3月1日

【年通号数】公開特許公報2-617

【出願番号】特願昭63-212461

【国際特許分類第6版】

G02F 1/1343
1/136 500
G09F 9/30 347

【F I】

G02F 1/1343 9224-2K
1/136 500 9119-2K
G09F 9/30 347 7426-5H

手 続 補 正 書 (自 発 的)

平成 7 年 8 月 23 日

特 許 庁 長 官 殿

事 件 の 表 示

昭和 63 年 特 許 願 第 212461 号

発 明 の 名 称

液晶表示装置の製造方法

補正をする者

事件との関係 特 許 出 願 人
名 称 (S10) 株式会社 日立 製 作 所

代 理 人

居 所 〒100 東京都千代田区丸の内一丁目5番1号
株式会社 日立 製 作 所 内
電 話 東京 3212-1111(大代表)
氏 名 (6850) 赤 堀 士 小 川 勝 男

補正により増加する請求項の数 4

補 正 の 対 象 明細書の発明の名称の欄、特許請求の範囲の欄及び
発明の詳細な説明の欄

補正の内容

1. 発明の名称を「液晶表示装置の製造方法」と補正する。
2. 特許請求の範囲を別紙の通り補正する。
3. 明細書第8頁第18行と第19行の間に「走査信号線、映像信号線を短絡し、静電気破壊を防止する先行技術は他にも、特開昭62-219651号、特開昭61-79359号、特開昭59-208877号、特開昭58-148168号、特開昭62-180831号、特開昭61-122648号、及び特開昭60-86587号公報がある。

しかし、いずれの先行技術にも(1)走査信号線あるいは映像信号線間を、光導電性を有する半導体層よりなる、短絡用配線により電気的に接続し、液晶表示装置の電気的特性検査工程では、上記短絡用配線を遮光することにより、上記短絡用配線の抵抗値を増大して、上記各走査信号線あるいは各映像信号線間を電気的に分離する点及び(2)走査信号線あるいは映像信号線の各外部端子間を、上記外部端子とエッチング選択性のある金属よりなる、短絡用配線により電気的に接続し、上記短絡用配線は液晶表示装置形成工程の後に選択的にエッチングすることにより、各走査信号線あるいは各映像信号線間を電気的に分離する点の特徵は記載はない。」の記載を追加する。

以上

4

別紙

特許請求の範囲

1. 絶縁性基板上に、複数の走査 号線及び映像信号線を行及び列方向にそれぞれ配置するとともに、上記各走査信号線及び各映像信号線の交差部分に対応して、液晶表示素子の画素電極と薄膜トランジスタよりなる、画素をマトリックス状に形成してなる基板を用いる液晶表示装置の製造方法であって、
 - 上記各走査信号線あるいは各映像信号線間を、光導電性を有する半導体層よりなる、短絡用配線により電気的に接続し、
 - 上記短絡用配線は上記液晶表示装置形成工程中に、光照射により上記短絡用配線の抵抗を低下させるために、透光性の膜から露出させ、
 - 上記液晶表示装置の電気的特性検査工程では、上記短絡用配線を透光することにより、上記短絡用配線の抵抗値を増大して、上記各走査信号線あるいは各映像信号線間を電気的に分離することを特徴とする液晶表示装置の製造方法。
2. 上記液晶表示装置形成工程はプラズマ CVD 法による絶縁膜堆積工程、ラビング処理工程、搬送工程の内少なくとも 1 つを含むことを特徴とする特許請求の範囲第 1 項記載の液晶表示装置の製造方法。
3. 上記薄膜トランジスタはゲート電極、ゲート絶縁膜、 i 型半導体層、ソース電極及びドレイン電極で構成され、上記 i 型半導体層と上記ソース電極及びドレイン電極間には接触抵抗値を低減するための n^+ 型半導体層が設けられ、上記短絡用配線は上記 n^+ 型半導体層と同時形成されることを特徴とする特許請求の範囲第 1 項記載の液晶表示装置の製造方法。
4. 上記薄膜トランジスタはゲート電極、ゲート絶縁膜、 i 型半導体層、ソース電極及びドレイン電極で構成され、上記短絡用配線は上記 i 型半導体層と同時形成されることを特徴とする特許請求の範囲第 1 項記載の液晶表示装置の製造方法。
5. 絶縁性基板上に、複数の走査信号線及び映像信号線を行及び列方向にそれぞれ配置するとともに、上記各走査信号線及び各映像信号線の交差部分に対応して、液晶表示素子の画素電極と薄膜トランジスタよりなる、画素をマトリックス状に形成してなり、上記各走査信号線あるいは各映像信号線に電気的に接続

される外部端子を有する第 1 の基板と、該第 1 の基板に対向し共通電極を有する第 2 の基板とよりなる液晶表示装置の製造方法であって、

上記走査信号線あるいは映像信号線の各外部端子間を、上記外部端子とエッチング選択性のある金属よりなる、短絡用配線により電気的に接続し、

上記短絡用配線は上記液晶表示装置形成工程の後に、上記外部端子を残して、選択的にエッチングすることにより、上記各走査信号線あるいは各映像信号線間を電気的に分離することを特徴とする液晶表示装置の製造方法。

6. 上記液晶表示装置形成工程はプラズマ CVD 法による絶縁膜堆積工程、ラビング処理工程、搬送工程の内少なくとも 1 つを含むことを特徴とする特許請求の範囲第 5 項記載の液晶表示装置の製造方法。
7. 上記短絡用配線は上記外部端子が形成する領域内に設けることを特徴とする特許請求の範囲第 5 項記載の液晶表示装置の製造方法。
8. 上記薄膜トランジスタはゲート電極、ゲート絶縁膜、 i 型半導体層、ソース電極及びドレイン電極で構成され、上記外部端子は上記画素電極と同時形成され、上記短絡用配線は上記ソース電極及びドレイン電極と同時形成されることを特徴とする特許請求の範囲第 5 項記載の液晶表示装置の製造方法。

